



FILE No. 45790

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	
Nam-Yul YU et al.	:	
Serial No.: 10/671,553	:	Group Art Unit: 2611
Filed: September 29, 2003	:	Examiner: Curtis B. Odom
For: Method and Apparatus for Receiving and Deschuffling Shuffled Data in a High- Rate Packet Data Telecommunication System	:	

TRANSMITTAL OF PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In order to perfect the claim for priority under 35 U.S.C. §119(a), the Applicants herewith submit one certified copy of Korean Patent Application No. **10-2002-0059419**, as filed on **September 30, 2002**. Should anything further be required, the Office is asked to contact the undersigned attorney at the local telephone number listed below.

Respectfully submitted,

Gautam Sain
Attorney of Applicants
Reg. No.: 57,805

Roylance, Abrams, Berdo & Goodman, L.L.P.
1300 19th Street, N.W., Suite 600
Washington, D.C. 20036-2680
(202) 659-9076

Dated: April 13, 2007



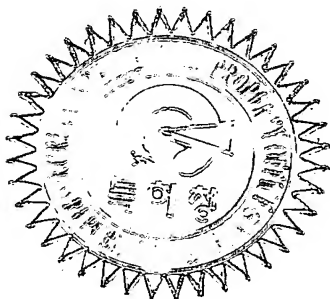
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2002-0059419
Application Number

출원 년 월 일 : 2002년 09월 30일
Date of Application SEP 30, 2002

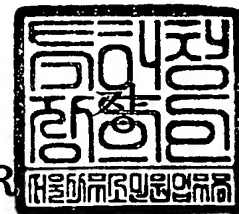
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 09 월 26 일

특 허 청

COMMISSIONER





【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【참조번호】 0002
【제출일자】 2002.09.30
【국제특허분류】 H04B
【발명의 명칭】 통신 시스템에서 셔플링 데이터의 수신 방법 및 장치
【발명의 영문명칭】 METHOD AND APPARATUS FOR RECEIVING SHUFFLED DATA IN HIGH-RATE PACKET DATA TELECOMMUNICATION SYSTEM

【출원인】

【명칭】 삼성전자 주식회사
【출원인코드】 1-1998-104271-3

【대리인】

【성명】 이건주
【대리인코드】 9-1998-000339-8
【포괄위임등록번호】 1999-006038-0

【발명자】

【성명의 국문표기】 유남열
【성명의 영문표기】 YU,Nam Yul
【주민등록번호】 711207-1024118
【우편번호】 442-725
【주소】 경기도 수원시 팔달구 영통동 벽적골8단지 아파트 812-804
【국적】 KR

【발명자】

【성명의 국문표기】 하상혁
【성명의 영문표기】 HA,SANG HYUCK
【주민등록번호】 730219-1167429
【우편번호】 441-390
【주소】 경기도 수원시 권선구 권선동 1314번지 주공1단지아파트 121동 1003 호
【국적】 KR



1020020059419

출력 일자: 2003/10/1

【발명자】

【성명의 국문표기】

김민구

【성명의 영문표기】

KIM,MIN G00

【주민등록번호】

640820-1067025

【우편번호】

442-811

【주소】

경기도 수원시 팔달구 영통동 968 신나무실 신명아파트
633-1502

【국적】

KR

【취지】

특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인
이건주 (인)

【수수료】

【기본출원료】

20 면 29,000 원

【가산출원료】

38 면 38,000 원

【우선권주장료】

0 건 0 원

【심사청구료】

0 항 0 원

【합계】

67,000 원

**【요약서】****【요약】**

본 발명은 다중레벨 변조를 사용하는 고속 패킷 데이터 통신 시스템에서 셔플링되어 전송된 데이터를 수신하여 원래의 형태로 디셔플링하기 위한 방법 및 장치에 관한 것이다. 다중레벨 복조를 지원하는 통신시스템의 송신기는 정보비트를 부호화한 후 중요도가 높은 시스템틱 심볼이 변조심볼내에서 전송 신뢰도가 높은 위치에 우선적으로 배치되고 중요도가 낮은 패리티 심볼이 전송 신뢰도가 낮은 위치에 배치되도록 셔플링한다. 수신기는 수신 데이터를 복조하여 복수의 부호심볼들로 이루어진 변조심볼들을 출력하고, 상기 부호심볼들을 시스템틱 심볼과 패리티 심볼로 구분하여 상기 셔플링에 대응하는 디셔플링 순서에 따라 해당하는 메모리들에 각각 저장한 다음, 상기 저장된 부호심볼들을 읽어내어 소정 부호율에 따라 복호하여 부호화 패킷들을 출력한다. 이로써 본 발명은 수신기에서 필요한 버퍼의 개수 및 용량을 절약하면서 셔플링된 데이터를 신속하게 디셔플링할 수 있다.

【대표도】

도 2

【색인어】

Multiple level modulation, code-word sequence, Shuffling, 8-PSK, 16-QAM, 64-QAM

【명세서】**【발명의 명칭】**

통신 시스템에서 셔플링 데이터의 수신 방법 및 장치{METHOD AND APPARATUS FOR RECEIVING SHUFFLED DATA IN HIGH-RATE PACKET DATA TELECOMMUNICATION SYSTEM}

【도면의 간단한 설명】

도 1은 본 발명의 실시예에 따라 부호어 시퀀스의 셔플링을 위한 시퀀스 매핑을 포함하는 송신 장치의 구성을 도시하는 도면.

도 2는 본 발명의 실시예에 따라 시퀀스 디매핑을 포함하는 수신 장치의 구성을 도시하는 도면.

도 3과 도 4는 송신단에서 각각 8-PSK와 16-QAM의 변조 방식을 사용하는 경우의 데이터 셔플링에 의한 심볼 매핑을 나타낸 도면.

도 5는 전송 가능한 패킷의 길이에 따른 패킷 데이터의 구조.

도 6은 본 발명의 실시예에 따라 수신단에서 패킷 데이터를 시스티메틱 심볼과 패리티 심볼로 구분하여 저장하기 위한 디셔플링 버퍼 구조.

도 7에 본 발명의 실시예에 따라 QPSK를 위한 임시 어드레스 TA를 생성하는 제1 임시 어드레스 생성기의 구조.

도 8은 도 7에 나타낸 제1 임시 어드레스 생성기에 의해 발생된 임시 어드레스를 나타낸 도면.

도 9는 본 발명의 실시예에 따라 8-PSK를 위한 임시 어드레스를 생성하는 제2 임시 어드레스 생성기의 구조.

도 10은 도 9에 나타난 제2 임시 어드레스 생성기에 의해 발생된 임시 어드레스를 나타낸 도면.

도 11은 본 발명의 실시예에 따라 64-QAM을 위한 임시 어드레스를 생성하는 제3 임시 어드레스 생성기의 구조.

도 12는 도 11에 나타난 제3 임시 어드레스 생성기에 의해 발생된 임시 어드레스를 나타낸 도면.

도 13은 본 발명의 실시예에 따라 부호화 패킷의 크기가 408 또는 792 또는 1560비트인 경우에 최종 어드레스 WA_1 을 생성하는 제1 최종 어드레스 생성기의 구조.

도 14는 본 발명의 실시예에 따라 부호화 패킷의 크기가 2328 또는 3096 또는 3864비트인 경우에 최종 어드레스 WA_2 를 생성하는 제2 최종 어드레스 생성기의 구조.

도 15는 QPSK의 경우 임시 어드레스에 따라 생성된 메모리 선택 신호와 최종 어드레스를 나타낸 도면.

도 16은 8-PSK의 경우 임시 어드레스에 따라 생성된 메모리 선택 신호와 최종 어드레스를 나타낸 도면.

도 17은 64-QAM의 경우 임시 어드레스에 따라 생성된 메모리 선택 신호와 최종 어드레스를 나타낸 도면.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <17> 본 발명은 다중레벨 복조(Multi-level demodulation)를 사용하는 고속 패킷 데이터 통신 시스템에 관한 것으로서, 특히 셔플링(shuffling)되어 전송된 데이터를 수신하여 원래의 형태로 디셔플링(de-shuffling)하기 위한 방법 및 장치에 관한 것이다.
- <18> 전형적인 디지털 이동통신 시스템, 특히 동기식 CDMA(Code Division Multiple Access) IS-2000 및 비동기식 UMTS(Universal Mobile Telecommunication Service) W(Wide)-CDMA와 같은 CDMA 방식의 이동통신 시스템은 음성 서비스와 회선 데이터(Circuit Data)와 저속의(예를 들어 14.4kbps 이하) 패킷 데이터를 통합적으로 지원하였다. 그러나, 인터넷과 동영상 등 고속 패킷 데이터 전송을 필요로 하는 서비스에 대한 사용자의 요구가 증대됨에 따라 이동통신 시스템은 고속의 패킷데이터 서비스를 지원하는 형태로 발전하고 있는 추세이다.
- <19> 고속의 패킷 데이터 서비스를 지원하기 위해 제안된 CDMA(Code Division Multiple Access)2000 및 UMTS(Universal Mobile Telecommunication Service)와 같은 광대역(Wide-band) CDMA 방식의 이동통신 시스템에서는 스펙트럼 효율(Spectral Efficiency)을 높이기 위하여 다중레벨 변조를 사용한다. 상기 다중레벨 변조는 직교 위상편이변조(Quadrature Phase Shift Key: QPSK)보다 높은 변조레벨(Modulation Level)을 가지는 8진 위상편이변조(8-ary PSK: 8-PSK), 16진 직교진폭변조(16-ary Quadrature Amplitude Modulation: 16-QAM), 64진 직교진폭 변조(64-ary QAM: 64-QAM) 등과 같은 변조방식을 의미한다. 이러한 다중레벨 변조는 하나의 변

조심볼에 보다 많은 정보를 실어 전송하여 고속 데이터 서비스를 가능하게 하는 반면 보다 안정적인 회선품질을 요구한다.

<20> 다중레벨 변조를 사용하는 경우 변조심볼을 구성하는 비트들간에 전송 신뢰도 (reliability)의 차이가 발생한다. 이러한 신뢰도의 차이로 인하여 하나의 변조심볼 내에서도 비트 위치에 따라 평균 비트오류율(Bit Error Rate: BER)이 서로 달라지게 된다. 한편, 터보 부호기(Turbo Encoder)와 같이 복수의 구성 부호기들(Constituent Encoder)로 구성된 채널 부호기(Channel Encoder)에서 출력되는 부호어 시퀀스(Code-word Sequence)는, 상대적으로 높은 중요도를 가지는 시스티메틱 심볼(Systematic Symbol)과 상대적으로 낮은 중요도를 가지는 패리티 심볼(Parity Symbol)로 구성된다. 따라서 변조가 이루어지기 이전에 시스티메틱 심볼을 상대적으로 높은 신뢰도를 가지도록 배열하고 패리티 심볼을 상대적으로 낮은 신뢰도를 가지도록 배열하면, 수신단에서 복구되는 정보 시퀀스의 오류율을 감소시킬 수 있다. 상기와 같은 부호어 시퀀스의 재배열 방안에 대해서는 본건과 동일 출원인에 의하여 출원된 대한민국 특허출원 제2001-32355호, "통신시스템의 부호어 시퀀스 재배열 방법 및 장치"에 개시되어 있다.

<21> 이상과 같이 송신단에서 부호어 시퀀스를 재배열하게 되면 수신단에서는 필수적으로 원래의 정보 시퀀스를 복구하여야 한다. 대량의 패킷 데이터를 고속으로 처리하는 시스템은 데이터 처리단위별로 구성된 데이터 경로를 가지므로, 데이터 처리를 수행할 때마다 다음 데이터 처리를 위한 버퍼에 저장한다. 그런데 수신기의 데이터 경로에 버퍼들의 개수가 증가하게 되면 전체 데이터 처리시간이 큰 폭으로 증가하게 된다. 따라서 고속 패킷 데이터 서비스를 지원하는 이동통신 시스템에서 송신단에 의하여 서플링되어 송신된 데이터를 수신하여 디서플링함에 있어서 버퍼의 사용을 효율화하고 처리속도를 단축하기 위한 방법을 필요로 하게 되었다.

**【발명이 이루고자 하는 기술적 과제】**

- <22> 따라서 상기한 바와 같이 동작되는 종래 기술의 문제점을 해결하기 위하여 창안된 본 발명의 목적은, 다중레벨 변조를 사용하는 통신시스템의 송신단에서 서플링되어 전송된 데이터를 수신단에서 고속으로 복구하는 방법 및 장치를 제공하는 것이다.
- <23> 본 발명의 다른 목적은 다중레벨 변조를 사용하는 통신시스템의 수신기에서 수신된 데이터를 중요도에 따라 구분하여 저장하는 방법 및 장치를 제공하는 것이다.
- <24> 본 발명의 다른 목적은 다중레벨 변조를 사용하는 통신시스템의 수신기에서 수신된 데이터를, 디서플링을 위해 생성된 저장 어드레스에 따라 저장하는 방법 및 장치를 제공하는 것이다.
- <25> 본 발명의 다른 목적은 송신단에서 서플링되어 전송된 데이터를 고속으로 처리하기 위하여 디서플링을 위한 순서대로 버퍼에 저장하는 방법 및 장치를 제공하는 것이다.
- <26> 상기한 바와 같은 목적을 달성하기 위하여 창안된 본 발명의 실시예는, 다중레벨 복조를 지원하는 통신시스템에서 송신기에 의해 부호화된 후 서플링되어 송신된 데이터를 수신하는 방법에 있어서,
- <27> 수신 데이터를 소정 변조방식에 따라 복조하여 복수의 부호심볼들로 이루어진 변조심볼들을 출력하는 과정과,
- <28> 상기 서플링에 대응하는 디서플링 순서에 따라 상기 부호심볼들을 저장하는 과정과,
- <29> 상기 저장된 부호심볼들을 읽어내어 소정 부호율에 따라 복호하여 부호화 패킷들을 출력하는 과정을 포함한다.

- <30> 본 발명의 다른 실시예는, 다중레벨 복조를 지원하는 통신시스템에서 송신기에 의해 부호화된 후 서플링되어 송신된 데이터를 수신하는 장치에 있어서,
- <31> 수신 데이터를 소정 변조방식에 따라 복조하여 복수의 부호심볼들로 이루어진 변조심볼들을 출력하는 복조부와,
- <32> 상기 서플링에 대응하는 디서플링 순서에 따라 상기 부호심볼들을 저장하는 저장부와,
- <33> 상기 저장된 부호심볼들을 읽어내어 소정 부호율에 따라 복호하여 부호화 패킷들을 출력하는 복호기를 포함한다.

【발명의 구성 및 작용】

- <34> 이하 첨부된 도면을 참조하여 본 발명의 바람직한 실시예에 대한 동작 원리를 상세히 설명한다. 하기에서 본 발명을 설명함에 있어 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다. 그리고 후술되는 용어들은 본 발명에서의 기능을 고려하여 정의된 용어들로서 이는 사용자, 운용자의 의도 또는 관례 등에 따라 달라질 수 있다. 그러므로 그 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.
- <35> 후술되는 본 발명은 송신단의 채널 부호기에서 출력된 부호어 시퀀스에서 상대적으로 중요도가 높은 시스템틱 심볼(Systematic symbol)과 상대적으로 중요도가 낮은 패리티 심볼(parity symbol)을, 다중레벨 변조 방식의 비트간 신뢰도 차이를 고려하여 서플링하여 전송하면, 수신단의 복조기에서 출력된 데이터를 원래대로 디서플링하는 것이다. 특히 본 발명은 복

조기에서 출력되는 데이터를 저장하는 버퍼의 구조와, 상기 버퍼를 위한 저장 어드레스를 상기 디서플링 규칙에 따라 발생하는 기술에 관련된다.

<36> 이러한 본 발명은 변조심볼내에서 비트간 신뢰도 차이가 발생하는 다중레벨 변조, 즉 8차 위상편이변조(8-ary PSK: 8-PSK), 16차 직교진폭변조(16-ary Quadrature Amplitude Modulation: 16-QAM), 64차 직교진폭변조(64-ary QAM: 64-QAM) 등과 같은 변조를 사용하는 이동통신 시스템에 적용된다. 특히 하기에서는 CDMA2000 1xEV-DV 시스템의 예를 들어 설명할 것이나, 유사한 기술적 배경 및 시스템 구성을 가지는 여타의 이동통신시스템에도 본 발명의 범위를 크게 벗어나지 아니하는 범위에서 약간의 변형으로 적용 가능함은 물론이다..

<37> 도 1은 본 발명의 실시예에 따라 부호어 시퀀스의 서플링을 위한 시퀀스 매퍼를 포함하는 송신 장치의 구성을 도시하는 도면이다.

<38> 상기 도 1을 참조하면, 채널 부호기(Channel Encoder)(110)는 입력 정보 비트열(input information bit stream)을 소정의 부호율(code rate)에 따라 부호화하여 부호어 시퀀스를 출력한다. 일 예로, 상기 채널 부호기(110)로는 터보 부호기(turbo encoder)가 사용될 수 있다. 이러한 경우 상기 부호어 시퀀스를 구성하는 부호심볼들은 상대적으로 중요도가 높은 시스템틱 심볼과 상대적으로 중요도가 낮은 패리티 심볼로 구분된다. 채널 인터리버(Channel Interleaver)(120)는 상기 채널부호기(110)로부터 출력된 부호어 시퀀스를 소정의 인터리빙 규칙에 따라 인터리빙한다.

<39> 시퀀스 매퍼(Sequence Mapper)(130)는 상기 인터리빙된 부호어 시퀀스를 시스템틱 심볼과 패리티 심볼로 구분하여 서플링하고 변조를 위해 출력한다. 본 발명의 변형된 실시예에서

상기 시퀀스 매퍼(130)는 인터리빙되지 않은 부호어 시퀀스를 셔플링할 수 있다. 그러나 본 명세서에서는 설명의 편의를 위하여 인터리빙된 부호어 시퀀스와 인터리빙되지 않은 부호어 시퀀스를 구분하지 않고 부호어 시퀀스라 칭하기로 한다.

<40> 변조기(Modulator)(140)는 상기 셔플링된 부호어 시퀀스를 해당하는 변조 방식에 따라 변조하여 변조심볼을 생성 및 출력한다. 여기서 상기 변조기(140)는 8-PSK, 16-QAM, 64-QAM 등과 같은 다중레벨 변조를 지원한다. 상기 시퀀스 매퍼(130)에 의한 셔플링 동작은 상기 변조기(140)의 변조 방식에 따라 정해질 수 있다. 즉, 상기 시퀀스 매퍼(130)는 상기 변조기(140)가 8-PSK, 16-QAM, 64-QAM 중 어느 한 변조방식을 사용하는 경우 해당하는 변조방식에 따른 부호어 시퀀스 셔플링 동작을 수행한다.

<41> 도 2는 본 발명의 실시예에 따라 시퀀스 디매퍼를 포함하는 수신 장치의 구성을 도시하는 도면이다. 이러한 수신 장치는 상기 도 1에 도시된 송신 장치에 대응하는 것으로, 상기 송신 장치의 각 구성요소들에 대응하고 상기 송신 장치의 각 구성요소들의 역 동작을 수행하는 구성요소들을 포함하고 있다.

<42> 상기 도 2를 참조하면, 복조기(Demodulator)(210)는 상기 변조기(140)에 대응하여, 수신된 데이터를 복조한다. 상기 복조기(210)의 출력은 저장 어드레스 생성기(Write Address Generator: WAG)(230)에 의해 발생하는 저장 어드레스에 따라 상기 디셔플링 버퍼(De-shuffling Buffer)(220)에 저장된다. 상기 저장 어드레스 생성기(230)는 상기 시퀀스 매퍼(130)에 대응하여, 상기 복조기(210)의 출력을 셔플링되기 이전의 원래 부호어 시퀀스로 디셔플링하기 위한 순서로 저장 어드레스를 생성한다. 상기 디셔플링 버퍼(220)의 구조와 상기 저장 어드레스 생성기(230)의 동작에 대해서는 추후 상세하게 설명할 것이다.

- <43> 채널 디인터리버(Channel De-interleaver)(240)는 상기 채널 인터리버(120)에 대응하여, 상기 디서플링 버퍼(220)에 저장된 데이터를 순차적으로 독출하여 디인터리빙한다. 채널 복호기(Channel Decoder)(250)는 상기 채널 부호기(110)에 대응하여, 상기 채널 디인터리버(240)의 출력을 복호화하여 출력한다. 이러한 채널 복호기(250)로는 예를 들어 터보 복호기(turbo decoder)가 사용될 수 있다.
- <44> 먼저 본 발명의 실시예에 따른 상기 디서플링 버퍼(220)의 구조를 설명하기로 한다.
- <45> 이를 위하여 데이터 서플링 동작과 디서플링 동작을 보다 구체적으로 설명하면, 앞서 설명한 바와 같이 다중레벨 변조방식에서 하나의 변조심볼을 구성하는 비트들간의 신뢰도는 서로 다르다. 이것은 I-Q 평면상에서 일정한 위치로 사상되는 변조심볼의 각 비트들이, 잡음으로 인해 반전되어 결정될 수 있는 위치까지의 거리 차로 인하여 서로 다른 오류 확률을 가지기 때문이다.
- <46> 8-PSK의 경우 하나의 변조심볼을 구성하는 3개의 비트들 중 2개는 동일한 신뢰도를 가지지만 나머지 하나는 이들보다 낮은 신뢰도를 가진다. 16-QAM의 경우 하나의 변조심볼을 구성하는 4개의 비트들 중 2개의 비트들은 나머지 2개보다 더 높은 신뢰도를 가진다. 64-QAM의 경우 하나의 변조심볼을 구성하는 6개의 비트들 중, 하나의 비트 쌍은 다른 하나의 비트 쌍보다는 높은 신뢰도를 가지며 또 다른 하나의 비트 쌍보다는 낮은 신뢰도를 가진다. 이때 신뢰도의 우열이 있는 비트들의 위치는 적용되는 신호사상(signal constellation)에 따라 정해지게 된다.
- <47> 송신단에서 각각 8-PSK와 16-QAM의 변조 방식을 사용하는 경우의 데이터 서플링에 의한 심볼 매핑을 도 3 및 도 4에 도시하였다. 도시한 바와 같이 부호어 시퀀스의 시스템메틱 심볼

은 변조방식에 따라 높은 신뢰도를 가지는 비트들에 우선적으로 매핑되고, 패리티 심볼은 높은 신뢰도를 가지는 남겨진 비트들 또는 낮은 신뢰도를 가지는 비트들에 매핑된다.

<48> 송신기에서는 전송 가능한 패킷의 길이는 왈시 부호(Walsh code)의 개수와, 점유하는 타임슬롯(time slot)의 개수 및 변조 방식에 따라 결정된다. 상기 패킷 데이터는 부호어 시퀀스의 일부 또는 전부 또는 전부와 일부의 반복으로 이루어진다. 예를 들어 1/5의 모부호율을 가지는 터보 부호기는 미리 정해진 크기의 부호화 패킷(Encoder Packet: EP)을 입력으로 하여 시스템메틱 심볼 S와 제1 패리티 심볼 P0/P0'과 제2 패리티 심볼 P1/P1'로 이루어진 부호어 시퀀스를 출력하며, 패킷 데이터는 상기 S, P0, P0', P1, P1' 중 전부 또는 일부의 반복으로 이루어지게 된다.

<49> 도 5는 전송 가능한 패킷의 길이에 따른 패킷 데이터의 구조를 나타낸 것이다. 여기서 전송 가능한 패킷의 크기(EP Size)는 최대 7800 비트로 정해지는 것으로 한다.

<50> 상기 도 5를 참조하면, 부호율이 0.2000이고 부호화 패킷의 크기가 408, 792, 1560 비트인 경우 시스템메틱 심볼 S와 제1 및 제2 패리티 심볼 P0/P0', P1/P1' 전체를 전송 가능하므로, 이들 "전부 또는 선택된 일부" 또는 "전부와 선택된 일부"를 반복하여 매 재전송 때마다 사용 가능한 다양한 형태의 패킷 데이터를 생성할 수 있다. 그런데 부호화 패킷의 크기가 2328, 3096, 3864 비트인 경우 일부 비트들은 항상 선택되지 않으며, 부호어 시퀀스의 "선택된 일부" 또는 "선택된 일부의 반복"만으로 패킷 데이터가 생성된다. 이러한 경우 수신단에서는 상기 선택된 일부만을 수신하여 원래의 정보 비트열을 복구한다.

<51> 즉 부호화 패킷의 크기를 N_{EP} 라 할 때, 1/5의 부호율을 가지는 터보 부호기를 사용하는 송신기에서 생성하는 부호어 시퀀스는 항상 $5*$

N_{EP} 의 길이를 갖게 된다. 전송 가능한 패킷의 길이를 7800 비트이므로, 부호화 패킷의 크기가 408, 792, 1560인 경우, 상기 부호어 시퀀스 전체($5*N_{EP}$)가 패킷 데이터를 구성하기 위해 선택될 수 있다. 그러나 부호화 패킷의 크기가 2328, 3096, 3864인 경우에는 상기 부호어 시퀀스의 일부만이 선택 가능하다.

<52> 이에 따라 부호화 패킷의 크기가 1560보다 작을 때 패킷 데이터는 S, P, P0', P1, P1'로 이루어질 수 있으나, 부호화 패킷의 크기가 2328일 경우에는 S, P0, P0' 전체와 P1, P1'의 일부만으로 이루어지며, 부호화 패킷의 크기가 3096, 3864인 경우에는 S, P0, P0'만으로 이루어진다.

<53> 복호기에서 원래의 정보 비트열을 복구하기 위해서는 시스티메틱 심볼과 제1 및 제2 패리티 심볼들 모두가 필요하다. 만일 이들 심볼들을 모두 하나의 메모리에 저장하게 된다면, 복호기에서 필요한 심볼들을 모두 수신하는데는 3회의 심볼 클럭이 필요하게 된다. 따라서 본 발명에서는 시스티메틱 심볼은 패리티 심볼과는 다른 메모리에 저장하고, 동일한 구성 복호기에 의해 독출되는 P0/P'0과 P1/P1'도 서로 다른 메모리에 저장함으로써 복호속도를 더욱 향상시킨다.

<54> 즉, 수신단에서는 복조된 패킷 데이터를 시스티메틱 심볼과 제1 및 제2 패리티 심볼로 구분하여 저장하기 위해, 세 개의 랜덤 액세스 메모리(Random Access Memory: RAM)들로 구성된 디서플링 버퍼(220)를 사용한다. 상기 메모리들은 시스티메틱 심볼 S와 제1 패리티 심볼 P0, P0' 및 제2 패리티 심볼 P1, P1'을 각각 저장한다. 이로써 복호기는 상기 메모리들로부터 S와 P0/P0' 및 P1/P1'을 동시에 입력받을 수 있다.

<55> 도 6은 본 발명의 실시예에 따라 수신단에서 패킷 데이터를 시스티메틱 심볼과 패리티 심볼로 구분하여 저장하기 위한 디서플링 버퍼 구조를 도시한 것이다.

- <56> 상기 도 6을 참조하면, 시스템메틱 심볼을 저장하기 위한 제1 메모리(QRAM0)(232)는 최대 크기의 시스템메틱 심볼을 저장할 수 있도록 3864비트의 크기를 가지며, 패리티 심볼을 저장하기 위한 제2 및 제3 메모리들(QRAM1, QRAM2)(234, 236)은 전체로서 수신되는 최대 크기의 패리티 심볼을 각각 저장할 수 있도록 3120비트의 크기를 가진다.
- <57> 부호화 패킷의 크기가 408비트인 경우 408비트의 시스템메틱 심볼 S는 제1 메모리(232)에 저장되고 816비트의 제1 패리티 심볼 P0/P0'은 제2 메모리(234)에 저장되며 816비트의 제2 패리티 심볼 P1/P1'은 제3 메모리(236)에 저장된다. 부호화 패킷의 크기가 792비트인 경우 792비트의 시스템메틱 심볼 S는 제1 메모리(232)에 저장되고 1584비트의 제1 패리티 심볼 P0/P0'은 제2 메모리(234)에 저장되며 1584비트의 제2 패리티 심볼 P1/P1'은 제3 메모리(236)에 저장된다. 부호화 패킷의 크기가 1560비트인 경우 1560비트의 시스템메틱 심볼 S는 제1 메모리(232)에 저장되고 3120비트의 제1 패리티 심볼 P0/P0'은 제2 메모리(234)에 저장되며 3120비트의 제2 패리티 심볼 P1/P1'은 제3 메모리(236)에 저장된다.
- <58> 반면 부호화 패킷의 크기가 2328비트 이상인 경우 패킷 데이터의 길이 제한으로 인하여 패리티 심볼 전체가 수신되지 않으므로 제2 및 제3 메모리(234, 236)를 통합하여 제1 패리티 심볼 전체 또는 일부를 저장한다. 이는 터보 복호기의 특성상 제1 패리티 심볼만을 가지고도 원래의 정보 비트열을 복구할 수 있기 때문이다. 이때 제2 패리티 심볼의 수신된 일부(408*2비트)를 제2 및 제3 메모리(234, 236)의 남겨진 부분에 저장하여 복호기로 제공하면 제1 패리티 심볼만을 사용하는 경우에 비하여 복호성능을 보다 향상시킬 수 있다.
- <59> 부호화 패킷의 크기가 2328비트인 경우 2328비트의 시스템메틱 심볼 S는 제1 메모리(232)에 저장되고 2328*2비트의 제1 패리티 심볼 P0/P0'은 제2 메모리(234)와 제3 메모리(236)에 나누어 저장되며, 제2 패리티 심볼 P1/P1'의 일부(408비트)는 제2 메모리(234)와 제3 메모리(236)에 나누어 저장된다.

리(236)의 남겨진 부분에 나누어 저장된다. 부호화 패킷의 크기가 3096비트인 경우 3096비트의 시스티메틱 심볼 S는 제1 메모리(232)에 저장되고 3096*2비트의 제1 패리티 심볼 P0/P0'은 제2 메모리(234)와 제3 메모리(236)에 나누어 저장된다. 부호화 패킷의 크기가 3864비트인 경우 3864비트의 시스티메틱 심볼 S는 제1 메모리(232)에 저장되고 3864*2비트의 제1 패리티 심볼 P0/P0'의 일부(1968*2비트)는 제2 메모리(234)와 제3 메모리(236)에 나누어 저장된다.

<60> 이하 본 발명의 실시예에 따른 저장 어드레스 생성기(230)의 동작원리에 대하여 설명하기로 한다.

<61> 수신기에서 고속의 데이터 처리를 위해서는 하나의 변조심볼에 대한 디서플링 과정이, 디서플링 버퍼의 저장 어드레스 생성에 따른 데이터의 저장을 통해 이루어져야 한다. 이때 복조된 패킷 데이터를 디서플링 버퍼에 저장하기 위한 어드레스 생성 절차는 하기와 같이 나누어진다: 1) 디서플링 버퍼의 구조에 관계없이 데이터 디서플링만을 고려한 임시 어드레스(Temporary Address: TA)의 생성과, 2) 디서플링 버퍼가 시스티메틱 심볼과 제1 및 제2 패리티 심볼에 따라 3개의 메모리들에 구성됨을 고려한 최종 저장 어드레스(Write Address: WA)의 생성이다. 따라서 상기 저장 어드레스 생성기(230)는 임시 어드레스를 생성하는 부분과 최종 어드레스를 생성하는 부분으로 이루어지게 된다.

<62> 데이터의 서플링 및 디서플링은 8-PSK 이상의 다중레벨 변조에 관련된 것이나 하기에서는 QPSK와 8-PSK 및 16-QAM을 위한 어드레스의 생성을 설명하기로 한다. 이는 송신기에서 데이터의 전송시마다 무선채널의 상태 등에 따라 QPSK와 8-PSK 및 16-QAM 중 하나를 적응적으로 선택하여 사용하므로, 수신기에서는 이들 변조방식 모두를 지원하여야 하기 때문이다.

<63> 1) 임시 어드레스 TA의 생성

<64> 임시 어드레스 TA는 복조된 심볼들의 디서플링 과정을 어드레스 생성 과정에 반영하여야 하므로 변조 방식에 따라 생성된다. 하기의 <수학식 1> 내지 <수학식 2>에 각각 QPSK와 8-PSK 및 16-QAM에 따른 임시 어드레스의 생성식을 나타내었다.

<65> 【수학식 1】 $QPSK : TA = (SA + 2 * mi + ci) \bmod P_{MAX}$

<66> 8-PSK : if $ci=0$, $TA = (SA + mi + 2N_{SP}/3) \bmod P_{MAX}$
 【수학식 2】 else, $TA = (SA + 2 * mi + ci - 1) \bmod P_{MAX}$

<67> 16-QAM : if $ci \bmod 2 = 0$, $TA = (SA + 2 * mi + ci/2 + N_{SP}/2) \bmod P_{MAX}$
 【수학식 3】 else, $TA = (SA + 2 * mi + ci/2) \bmod P_{MAX}$

<68> 상기 수학식들에서 SA는 수신된 패킷 데이터의 인덱스에 따른 시작 어드레스이고, mi 는 변조심볼의 인덱스, ci 는 변조심볼을 구성하는 부호심볼의 인덱스이다. 즉, 어떤 mi 에 대하여 ci 는 QPSK인 경우 0, 1의 값을 가지며, 8-PSK인 경우 0, 1, 2의 값을 가지고, 16-QAM인 경우 0, 1, 2, 3의 값을 갖는다. 그리고, N_{SP} 는 수신된 패킷 데이터의 길이를, P_{MAX} 는 부호화 패킷의 크기에 따라 부호화 시퀀스를 가지고 패킷 데이터를 구성하는데 사용한 최대 비트 인덱스를 의미한다. 즉, P_{MAX} 는 부호화 패킷의 크기(이하 N_{EP} 라 칭함.)가 408, 792, 1560이면 $5 * N_{EP}$ 이고, 부호화 패킷의 크기가 2328, 3096, 3864이면 전송 가능한 패킷 데이터의 최대 크기(앞서 언급한 예의 경우 7800비트)이다. 또한 mod 는 모듈로-연산(Modulo operation)을 의미한다.

<69> 먼저 도 7에 본 발명의 실시예에 따라 QPSK를 위한 임시 어드레스 TA를 생성하는 제1 임시 어드레스 생성기의 구조를 나타낸 것으로서, QPSK의 경우 데이터 서플링이 이루어지지 않으므로 도시된 바와 같이 상기 <수학식 1>에 따라 디서플링없이 동작한다.

- <70> 즉, 복조기(210)에서 복조가 완료되었음을 알리는 클럭 CODE_SYM_VALID가 인가될 때마다, 카운터(310)는 13비트의 시작 어드레스 SA로부터 1씩 카운트하여 14비트의 SA, SA+1, SA+2, ...을 순차적으로 출력한다. 그러면 모듈로(Modulo) 연산기(320)는 상기 카운터(310)의 출력을 최대 비트 인덱스 P_{MAX} 을 가지고 모듈로-연산하여 13비트의 임시 어드레스 TA로서 출력한다.
- <71> 소정의 mi 및 ci 에 대하여 상기 제1 임시 어드레스 생성기에 의해 발생된 임시 어드레스 TA를 도 8에 나타내었다. 도시한 바와 같이 QPSK를 위한 임시 어드레스 TA는 순차적인 카운트 값이다.
- <72> 도 9는 본 발명의 실시예에 따라 8-PSK를 위한 임시 어드레스 TA를 생성하는 제2 임시 어드레스 생성기의 구조를 나타낸 것으로서, 도시한 바와 같이 상기 <수학식 2>에 따라 디서플링을 수행한다.
- <73> 즉, 복조기(210)에서 클럭 CODE_SYM_VALID가 인가될 때마다 제1 내지 제4 카운터들 (320, 322, 324, 326)은 서로 다른 부호심볼 인덱스(ci)를 병렬로 생성한다. 여기서 상기 제1 카운터(320)는 0으로 시작하여 2비트의 0, 1, 2, 0, 1, 2, ...을 순차적으로 출력한다. 상기 제2 카운터(322)는 " $SA+(2/3)N_{EP}$ "로 정의되는 IA로 시작하여, 14비트의 IA, IA, IA, IA+1, IA+1, IA+1, IA+2, IA+2, IA+2...을 순차적으로 출력한다. 상기 제3 카운터(324)는 SA로 시작하여, 14비트의 SA, SA, SA, SA+2, SA+2, SA+2, SA+4, SA+4, SA+4...을 순차적으로 출력한다. 상기 제4 카운터(326)는 SA로 시작하여, 14비트의 SA+1, SA+1, SA+1, SA+3, SA+3, SA+3, SA+5, SA+5, SA+5...을 순차적으로 출력한다.
- <74> 선택기(328)는 상기 제1 카운터(320)의 출력에 따라 상기 제2 내지 제4 카운터들 (322, 324, 326)의 출력들 중 하나를 선택한다. 그러면 모듈로 연산기(330)는 상기 선택된 출력

을 P_{MAX} 을 가지고 모듈로-연산하여 13비트의 임시 어드레스 TA_{8-PSK} 로서 출력한다. 따라서 상기 제2 내지 제4 카운터들(322,324,326)의 출력들은 각각 ci 가 0, 1, 2인 경우에 해당하는 임시 어드레스 값이 된다.

<75> 소정의 mi 및 ci 에 대하여 상기 제2 임시 어드레스 생성기에 의해 발생된 임시 어드레스 TA 를 도 10에 나타내었다. 상기 도 10은 $SA = 0$ 이고 $N_{Sp} = 30$ 인 경우를 나타낸 것으로서, $mi = 0$, $ci = 0$ 인 경우 상기 <수학식 2>에 의해 임시 어드레스 TA 는 $2*N_{Sp}/3 = 20$ 의 값을 갖는다. 이와 유사하게 $mi = 0$, $ci = 1$ 인 경우에는 0의 값을 갖는다. 즉, 임시 어드레스 TA 는, $ci = 0$ 인 경우 $2*N_{Sp}/3$ 을 초기값으로 하여 mi 에 따라 순차적으로 증가하게 되고, ci 가 0이 아닌 경우 0을 초기값으로 하여 mi 에 따라 순차적으로 증가하는 값을 갖게 된다.

<76> 도 11은 본 발명의 실시예에 따라 16-QAM을 위한 임시 어드레스 TA 을 생성하는 제3 임시 어드레스 생성기의 구조를 나타낸 것으로서, 도시한 바와 같이 상기 <수학식 3>에 따라 디서플링을 수행한다. 여기서 상기 제3 임시 어드레스 생성기는 앞서 언급한 제2 임시 어드레스 생성기와 유사하게 동작한다.

<77> 즉, 복조기(210)에서 클럭 $CODE_SYM_VALID$ 가 인가될 때마다 제1 내지 제3 카운터들(340,342,344)은 서로 다른 부호심볼 인덱스(ci)를 병렬로 생성한다. 여기서 상기 제1 카운터(340)는 1비트의 0, 1, 0, 1,...을 순차적으로 출력한다. 상기 제2 카운터(342)는 " $SA+N_{Ep}/2$ "로 정의되는 IA 로 시작하여, 14비트의 IA , IA , $IA+1$, $IA+1$, $IA+2$, $IA+2$,...을 순차적으로 출력한다. 상기 제3 카운터(344)는 SA 로 시작하여, 14비트의 SA , SA , $SA+1$, $SA+1$, $SA+2$, $SA+2$...을 순차적으로 출력한다.

- <78> 선택기(346)는 상기 제1 카운터(340)의 출력에 따라 상기 제2 및 제3 카운터들(342,344)의 출력들을 번갈아 가며 선택한다. 그 후 모듈로 연산기(348)는 상기 선택된 출력을 P_{MAX} 을 가지고 모듈로-연산하여 13비트의 임시 어드레스 T_{16-QAM} 으로서 출력한다. 따라서 상기 제2 및 제3 카운터들(342,344)의 출력들은 각각 " $ci \bmod 2$ "가 0, 1인 경우에 해당하는 임시 어드레스 값이 된다.
- <79> 소정의 mi 및 ci 에 대하여 상기 제3 임시 어드레스 생성기에 의해 발생된 임시 어드레스 TA을 도 12에 나타내었다. 상기 도 12는 $SA = 0$ 이고 $N_{Sp} = 40$ 인 경우를 나타낸 것으로서, $mi = 0$, $ci = 0$ 인 경우 $TA = N_{Sp}/2 = 20$ 이고, $mi = 0$, $ci = 1$ 인 경우 $TA = 0$ 이다. 그리고 $mi = 0$, $ci = 2$ 인 경우 $TA = 21$ 이고, $mi = 0$, $ci = 3$ 인 경우 $TA = 1$ 이다.
- <80> 즉, 16-QAM의 경우 생성되는 임시 어드레스 TA은 ci 가 짝수인 경우에는 $N_{Sp}/2$ 를 초기값으로 하여 mi 에 따라 순차적으로 증가하게 되고, ci 가 홀수인 경우에는 0을 초기값으로 하여 mi 에 따라 순차적으로 증가하는 값을 갖게 된다.
- <81> 2) 최종 어드레스 WA의 생성
- <82> 최종 어드레스 WA의 생성은 디서플링 버퍼의 구조와 관련된다. 즉, 도 2를 참조하면, 터보 복호기(260)를 구성하는 한 구성 복호기가 하나의 정보 심볼을 복호하기 위해 디서플링 버퍼(220)에서 데이터를 읽어 들이는 과정에서, 시스티메틱 심볼과 제1 및 제2 패리티 심볼들을 동시에 읽어 들일 수 있도록 하기 위해 앞서 설명한 바와 같이 디서플링 버퍼(220)는 3개의 메모리들(232,234,236)로 나누어져 있다. 따라서 각각의 메모리에는 시스티메틱 심볼과 두 가지의 패리티 심볼들이 각각 나누어 저장되어야 한다.

<83> 따라서 이 과정에서는 1)에서 생성된 임시 어드레스 TA에 저장될 데이터가 시스템틱 심볼인지 또는 패리티 심볼인지에 따라 데이터가 저장될 메모리를 선택하고, 임시 어드레스를 최종 어드레스로 변환한다. 게다가 도 6에 나타난 바와 같이, 부호화 패킷의 크기에 따라 디서플링 버퍼의 각 메모리에 데이터를 저장하는 방식이 달라진다.

<84> 즉, 부호화 패킷의 크기 $N_{EP} = 408, 792, 1560$ 인 경우에는 수신된 패킷 데이터가 S, P0, P0', P1, P1'에 해당하는 모든 심볼을 포함하고 있는 반면, 부호화 패킷의 크기 $N_{EP} = 2328, 3096, 3864$ 인 경우에는 수신된 패킷 데이터가 S, P0, P0', P1, P1' 중 일부만을 포함하고 있기 때문에 최종 어드레스의 생성시 이러한 점이 고려되어야 한다.

<85> 하기의 <수학식 4>는 부호화 패킷의 크기가 408 또는 792 또는 1560비트인 경우 1)에서 생성된 임시 어드레스(TA_1)를 이용하여 최종 어드레스 WA를 생성하는 생성식을 나타낸 것이다.

<86>

i) $0 < TA < N_{EP}$
 입력 심볼 = S, $WA = TA : \text{Write to QRAM0 (RAM_CS = 0)}$

ii) $N_{EP} < TA < 3 \cdot N_{EP}$
 입력 심볼 = P0 or P0' $WA = TA - N_{EP} : \text{Write to QRAM1 (RAM_CS = 1)}$

iii) $3 \cdot N_{EP} < TA < 5 \cdot N_{EP}$
 【수학식 4】 입력 심볼 = P1 or P1' $WA = TA - 3 \cdot N_{EP} : \text{Write to QRAM2 (RAM_CS = 2)}$

<87> 하기의 <수학식 5>는 부호화 패킷의 크기가 2328비트인 경우 임시 어드레스 TA를 이용하여 최종 어드레스 WA를 생성하는 생성식을 나타낸 것이다.

<88>

i) $0 < TA < N_{EP}$

입력 심볼 = S WA = TA : Write to QRAM0 (RAM_CS = 0)

ii) $N_{EP} < TA < 3 \cdot N_{EP}$ if $((TA - N_{EP}) \bmod 2 == 0)$ 입력 심볼 = P0 WA = $(TA - N_{EP})/2$: Write to QRAM1 (RAM_CS = 1)

else

입력 심볼 = P0' WA = $(TA - N_{EP})/2$: Write to QRAM2 (RAM_CS = 2)iii) $TA > 3 \cdot N_{EP}$ if $((TA - 3 \cdot N_{EP}) \bmod 2 == 1)$ 입력 심볼 = P1' WA = $(TA - 3 \cdot N_{EP})/2 + 2328$: Write to QRAM1 (RAM_CS = 1)

else

【수학식 5】 입력 심볼 = P1, WA = $(TA - 3 \cdot N_{EP})/2 + 2328$: Write to QRAM2 (RAM_CS = 2)

<89>

하기의 <수학식 6>는 부호화 패킷의 크기가 3096 또는 3864비트인 경우 임시 어드레스 TA를 이용하여 최종 어드레스 WA를 생성하는 생성식을 나타낸 것이다.

<90>

i) $0 < TA < N_{EP}$

입력 심볼 = S, WA = TA : Write to QRAM0 (RAM_CS = 0)

ii) $TA > N_{EP}$ if $((TA - N_{EP}) \bmod 2 == 0)$ 입력 심볼 = P0, WA = $(TA - N_{EP})/2$: Write to QRAM1 (RAM_CS = 1)

else

【수학식 6】 입력 심볼 = P0' WA = $(TA - N_{EP})/2$: Write to QRAM2 (RAM_CS = 2)

<91>

상기 수학식들에서 TA는 임시 어드레스이고, N_{EP} 는 부호화 패킷의 크기이고, WA는 디서플링 버퍼(220)에 복조 데이터를 저장하기 위한 최종 어드레스이다. 또한 RAM_CS는 해당 심볼을 저장하도록 선택된 메모리를 나타내는 칩 선택 신호이므로, WA는 해당 메모리에서의 어드레스에 해당하게 된다. 각 부호화 패킷 크기와 임시 어드레스에 따라 현재 저장해야 할 심볼이 S,

$P0, P0', P1, P1'$ 가운데 어느 것에 해당하는지를 알 수 있다. 따라서 현재 입력 심볼이 디서플링 버퍼를 이루는 어느 메모리의 어떠한 어드레스에 저장되어야 하는지를 결정할 수 있다.

<92> 도 13은 본 발명의 실시예에 따라 부호화 패킷의 크기가 408 또는 792 또는 1560비트인 경우에 최종 어드레스 WA_1 을 생성하는 제1 최종 어드레스 생성기의 구조를 나타낸 것으로서, 도시한 바와 같이 상기 <수학식 4>에 따라 최종 어드레스 WA_1 를 생성한다.

<93> 즉, 비교기(Comparator)(410)는 3개의 입력들 a, b, c 에 대하여 $a < b$ 인 경우 0을 출력하고, $a < c$ 인 경우 1을 출력하며 그렇지 않은 경우 2를 각각 2비트로 출력한다. 상기 3개의 입력들 a, b, c 로는 각각 임시 어드레스 TA와 부호화 패킷의 크기 N_{EP} 와 3배의 부호화 패킷 크기 $3N_{EP}$ 가 접속된다. 이에 따른 상기 비교기(410)의 출력은 2비트의 메모리 선택 신호 RAM_CS가 된다.

<94> 또한 제1 가산기(412)는 상기 임시 어드레스 TA에서 상기 부호화 패킷 크기 N_{EP} 를 감산하여 출력하며, 제2 가산기(414)는 상기 임시 어드레스 TA에서 상기 3배의 부호화 패킷 크기 $3N_{EP}$ 를 감산하여 출력한다. 그러면 선택기(416)는 상기 비교기(410)의 출력에 따라 상기 임시 어드레스 TA와 상기 제1 가산기(412)의 출력 " $TA - N_{EP}$ "과 상기 제2 가산기(414)의 출력 " $TA - 3N_{EP}$ " 중 하나를 선택하여 12비트의 최종 어드레스 WA_1 로서 출력한다.

<95> 도 14는 본 발명의 실시예에 따라 부호화 패킷의 크기가 2328 또는 3096 또는 3864비트인 경우에 최종 어드레스 WA_2 를 생성하는 제2 최종 어드레스 생성기의 구조를 나타낸 것으로서, 도시한 바와 같이 상기 <수학식 5, 6>에 따라 최종 어드레스 WA_2 를 생성한다.

<96> 즉, 비교기(420)는 3개의 입력들 a, b, c 에 대하여 $a < b$ 인 경우 0을 출력하고, $a < c$ 인 경우 1을 출력하며 그렇지 않은 경우 2를 출력한다. 상기 3개의 입력들 a, b, c 로는 각각 임시 어드레

스 TA와 부호화 패킷의 크기 N_{EP} 와 3배의 부호화 패킷 크기 $3N_{EP}$ 가 접속된다. 이에 따른 상기 비교기(410)의 출력은 제1 선택기(434)의 선택신호 및 제1 입력으로서 제공된다.

<97> 제1 가산기(422)는 상기 임시 어드레스 TA에서 상기 부호화 패킷 크기 N_{EP} 를 감산하여 출력하며, 제2 가산기(424)는 상기 임시 어드레스 TA에서 상기 3배의 부호화 패킷 크기 $3N_{EP}$ 를 감산하여 출력한다. 제1 최하위비트(Least Significant Bit: LSB) 추출기(426)는 상기 제1 가산기(422)의 출력 " $TA - N_{EP}$ "을 2로 모듈로-연산하여 제1 최하위 비트 " $(TA - N_{EP}) \bmod 2$ "를 검출하고 이를 제3 가산기(430)로 제공하며, 제2 최하위비트(LSB) 추출기(428)는 상기 제2 가산기(424)의 출력 " $TA - N_{EP}$ "을 2로 모듈로-연산하여 제2 최하위 비트 " $(TA - 3N_{EP}) \bmod 2$ "를 검출하고 이를 제4 가산기(432)로 제공한다.

<98> 상기 제3 가산기(430)는 상기 비교기(420)의 출력에서 상기 제1 최하위 비트를 감산하여 상기 제1 선택기(434)의 제2 입력으로서 제공하고, 상기 제4 가산기(432)는 상기 비교기(420)의 출력에서 상기 제2 최하위 비트를 감산하여 상기 제1 선택기(434)의 제3 입력으로서 제공한다. 그러면 제1 선택기(434)는 상기 비교기(420)의 출력에 따라 상기 비교기의 출력(0,1,2)과 상기 제3 가산기(430)의 출력과 상기 제4 가산기(432)의 출력 중 하나를 선택하여 2비트의 메모리 선택신호 RAM_CS로서 출력한다.

<99> 한편 상기 비교기(420)의 출력은 제2 선택기(442)의 선택신호로서 제공된다. 상기 제2 선택기(442)의 제1 입력은 상기 임시 어드레스 TA이고, 제2 입력은 상기 제1 가산기(422)의 출력을 제1 제산기(436)에 의해 2로 나눈 결과이고, 제3 입력은 상기 제2 가산기(424)의 출력을 제2 제산기(438)에 의해 2로 나누고 제5 가산기(440)에 의해 2328만큼 가산된 결과이다. 상기 제2 선택기(442)는 상기 비교기(420)의 출력에 따라 상기 임시 어드레스 TA와 상기 제1 제산기(436)의 출력 " $(TA - N_{EP})$ "

EP)/2"과 상기 제5 가산기(440)의 출력 "(TA-N_{EP})/2+2328" 중 하나를 선택하여 12비트의 최종 어드레스 WA로서 출력한다.

<100> 도 15 내지 도 17은 변조방식에 따라 도 8, 도 10, 도 12에 나타난 임시 어드레스를 입력으로 하여 생성된 최종 어드레스와 메모리 선택 신호 RAM_CS의 예를 나타낸 도면이다. 설명의 편의를 위해 부호화 패킷의 크기는 실제 값이 아닌 매우 작은 값으로 하였고, 최종 어드레스 생성식으로는 $N_{EP} = 408, 792, 1560$ 인 경우를 나타낸 <수학식 4>를 사용하였다. $N_{EP} = 2328, 3096, 3864$ 인 경우의 최종 어드레스 또한 앞서 언급한 <수학식 5> 및 <수학식 6>에 따라 유사하게 생성된다.

<101> 먼저 도 15는 QPSK의 경우, 입력되는 임시 어드레스 TA에 따른 메모리 선택 신호 RAM_CS와 최종 어드레스 WA를 나타낸 도면이다. 여기서 N_{EP} 는 5인 것으로 한다. 도시된 바와 같이 QPSK의 경우에는 임시 어드레스 TA가 순차적으로 생성되기 때문에, 순차적으로 입력되는 임시 어드레스 TA를 부호화 패킷 크기 N_{EP} 와 비교하면서 메모리 선택 신호 RAM_CS 및 선택된 메모리에서의 최종 어드레스 WA가 발생된다.

<102> 도 16은 8-PSK의 경우, 입력되는 임시 어드레스 TA를 N_{EP} 및 $3*N_{EP}$ 와 비교하여 메모리 선택 신호 RAM_CS와 최종 어드레스 WA를 나타낸 도면이다. 여기서 N_{EP} 는 8인 것으로 한다. 도시된 바와 같이 8-PSK의 경우에는 불연속적으로 입력되는 임시 어드레스 TA는 N_{EP} 및 $3*N_{EP}$ 와 각각 비교되고 이의 결과에 따라 임시 어드레스 TA에서 N_{EP} 또는 $3*N_{EP}$ 를 뺀 값이 최종 어드레스 WA가 된다.

<103> 도 17은 16-QAM의 경우를 나타낸 것으로서 여기서 N_{EP} 는 10인 것으로 하면, 도 16에 나타난 바와 유사한 동작에 따라 메모리 선택 신호 RAM_CS 및 최종 어드레스 WA가 발생된다.

<104> 한편 본 발명의 상세한 설명에서는 구체적인 실시예에 관해 설명하였으며 설명의 편의를 위하여 변조방식과 부호화 방식과 패킷 데이터의 길이 등에 대해 구체적인 예를 들어 설명하였으나, 본 발명의 범위에서 벗어나지 않는 한도 내에서 여러 가지 변형이 가능함은 물론이다. 또한 이상에서는 복호속도를 더욱 향상시키기 위하여 수신 버퍼를 3개의 메모리들로 분리하는 구성 및 그 동작에 대하여 설명하였으나, 본 발명의 변형된 실시예에서는 단지 1개의 메모리를 사용하고 앞서 설명한 임시 어드레스만을 이용하여 디서플링을 수행할 수 있다. 이러한 예에서는 최종 어드레스의 생성 절차가 필요치 않게 된다.

<105> 그러므로 본 발명의 범위는 설명된 실시예에 국한되지 않으며, 후술되는 특허청구의 범위뿐만 아니라 이 특허청구의 범위와 균등한 것들에 의해 정해져야 한다.

【발명의 효과】

<106> 이상에서 상세히 설명한 바와 같이 동작하는 본 발명에 있어서, 개시되는 발명중 대표적인 것에 의하여 얻어지는 효과를 간단히 설명하면 다음과 같다.

<107> 다중레벨 변조를 사용하는 통신 시스템에서 부호어 시퀀스의 시스티메틱 심볼과 패리티 심볼을 비트간 신뢰도 차이를 고려하여 서플링하여 전송함으로써 전송 신뢰도를 향상시키는 경우, 수신단에서 이를 고속으로 디서플링하여 원래의 부호어 시퀀스를 복구할 수 있다.

<108> 특히 디서플링 버퍼에서 시스티메틱 심볼과 패리티 심볼을 분리하여 저장하기 때문에 복호기에서 상기 시스티메틱 심볼과 상기 패리티 심볼을 동시에 읽어 복호함으로써 복호속도를

더욱 향상시킨다. 게다가 패리티 심볼의 크기가 큰 경우 일부만을 패리티 심볼을 위한 메모리들에 분리하여 저장함으로써 메모리의 용량을 절약한다.

<109> 또한 시퀀스 디매핑을 사용하는 대신 복조된 데이터를 디셔플링 규칙에 따라 디셔플링 버퍼에 저장하고, 복호기에서는 이를 순서대로 읽어냄으로써 디셔플링 속도를 향상시키고, 시퀀스 디매핑을 위한 별도의 버퍼에 대한 필요를 제거한다. 따라서 본 발명은 고속 데이터 통신을 가능하게 한다는 효과가 있다.

【특허청구범위】

【청구항 1】

다중레벨 복조를 지원하는 통신시스템에서 송신기에 의해 부호화된 후 서플링되어 송신된 데이터를 수신하는 방법에 있어서,

수신 데이터를 소정 변조방식에 따라 복조하여 복수의 부호심볼들로 이루어진 변조심볼들을 출력하는 과정과,

상기 서플링에 대응하는 디서플링 순서에 따라 상기 부호심볼들을 저장하는 과정과,

상기 저장된 부호심볼들을 읽어내어 소정 부호율에 따라 복호하여 미리 정해진 크기의 부호화 패킷들을 출력하는 과정을 포함하는 것을 특징으로 하는 상기 방법.

【청구항 2】

제 1 항에 있어서, 상기 부호심볼들을 저장하는 과정은, 상기 변조방식에 따라 하기의 <수학식 7>에 의해 생성된 저장 어드레스들에 해당하는 메모리 영역들에 상기 부호심볼들을 각각 저장하는 것을 특징으로 하는 상기 방법.

$$\text{i) QPSK: } WA = (SA + 2*mi + ci) \bmod P_{MAX}$$

$$\text{ii) 8-PSK: if } ci = 0, \quad WA = (SA + mi + 2*N_{SP}/3) \bmod P_{MAX}$$

$$\text{else,} \quad WA = (SA + 2*mi + ci - 1) \bmod P_{MAX}$$

$$\text{iii) 16-QAM: if } ci \bmod 2 = 0, \quad WA = (SA + 2*mi + ci/2 + N_{SP}/2) \bmod P_{MAX}$$

$$\text{else,} \quad WA = (SA + 2*mi + ci /2) \bmod P_{MAX}$$

【수학식 7】

여기서 상기 WA 는 저장 어드레스이고, 상기 SA 는 수신 데이터의 인덱스에 따른 시작 어드레스이고, 상기 mi 는 변조심볼 인덱스이고, 상기 ci 는 부호심볼 인덱스이고, 상기 N_{SP} 는

수신 데이터의 길이이고, 상기 P_{MAX} 는 부호화 패킷의 크기에 따라 수신 데이터에 포함된 하나의 부호어 시퀀스를 나타내는 최대 비트 인덱스이고, 상기 mod 는 모듈로-연산을 의미함.

【청구항 3】

제 1 항에 있어서, 상기 부호심볼들을 저장하는 과정은,

상기 부호심볼들을 상대적으로 중요도가 높은 시스티메틱 심볼들과 상대적으로 중요도가 낮은 패리티 심볼들로 구분하여 물리적으로 분리된 메모리들에 각각 저장하는 것을 특징으로 하는 상기 방법.

【청구항 4】

제 3 항에 있어서, 상기 부호심볼들을 저장하는 과정은,

상기 분리된 메모리들을 고려하지 않고 상기 디셔플링 순서에 따라 임시 어드레스들을 생성하는 단계와,

상기 분리된 메모리들을 고려하여 상기 임시 어드레스들을 가지고 상기 저장 어드레스들을 최종적으로 생성하는 단계와,

상기 생성된 저장 어드레스들에 해당하는 상기 분리된 메모리들의 해당하는 메모리 영역들에 상기 부호심볼들을 각각 저장하는 단계를 포함하는 것을 특징으로 하는 상기 방법.

【청구항 5】

제 1 항에 있어서, 상기 부호심볼들을 저장하는 과정은,

상기 부호심볼들을 상대적으로 중요도가 높은 시스티메틱 심볼들과 상대적으로 중요도가 낮은 제1 및 제2 패리티 심볼들로 구분하여 물리적으로 분리된 제1 내지 제3 메모리들에 각각 저장하기 위하여,

상기 분리된 메모리들을 고려하지 않고 상기 디서플링 순서에 따라 임시 어드레스들을 생성하는 단계와,

상기 임시 어드레스들을 가지고 상기 저장 어드레스들을 최종적으로 생성하는 단계와,

상기 저장 어드레스들에 해당하는 메모리 영역들에 상기 부호심볼들을 각각 저장하는 단계를 포함하는 것을 특징으로 하는 상기 방법.

【청구항 6】

제 5 항에 있어서, 상기 임시 어드레스들은, 상기 변조방식에 따라 하기의 <수학식 8>에 의해 생성되는 것을 특징으로 하는 상기 방법.

$$\text{i) QPSK: } TA = (SA + 2*mi + ci) \bmod P_{MAX}$$

$$\text{ii) 8-PSK: if } ci = 0, \quad TA = (SA + mi + 2*N_{SP}/3) \bmod P_{MAX}$$

$$\text{else,} \quad TA = (SA + 2*mi + ci - 1) \bmod P_{MAX}$$

$$\text{iii) 16-QAM: if } ci \bmod 2 = 0, \quad TA = (SA + 2*mi + ci/2 + N_{SP}/2) \bmod P_{MAX}$$

$$\text{【수학식 8】} \quad \text{else,} \quad TA = (SA + 2*mi + ci / 2) \bmod P_{MAX}$$

여기서 상기 TA 는 임시 어드레스이고, 상기 SA 는 수신 데이터의 인덱스에 따른 시작 어드레스이고, 상기 mi 는 변조심볼 인덱스이고, 상기 ci 는 부호심볼 인덱스이고, 상기 N_{SP} 는 수신 데이터의 길이이고, 상기 P_{MAX} 는 부호화 패킷의 크기에 따라 수신 데이터에 포함된 하나

의 부호어 시퀀스를 나타내는 최대 비트 인덱스이고, 상기 mod 는 모듈로-연산을 의미함.

【청구항 7】

제 5 항에 있어서, 상기 부호화 패킷들의 크기가 408 또는 792 또는 1560비트인 경우 상기 저장 어드레스들은, 하기의 <수학식 9>에 의해 생성되는 것을 특징으로 하는 상기 방법.

$$i) 0 < TA < N_{EP}$$

$$\text{입력 심볼} = S, \quad WA = TA : \text{Write to MEM0 (MEM_CS = 0)}$$

$$ii) N_{EP} < TA < 3*N_{EP}$$

$$\text{입력 심볼} = P0 \text{ or } P0' \quad WA = TA - N_{EP} : \text{Write to MEM1 (MEM_CS = 1)}$$

$$iii) 3*N_{EP} < TA < 5*N_{EP}$$

$$\text{【수학식 9】} \quad \text{입력 심볼} = P1 \text{ or } P1' \quad WA = TA - 3*N_{EP} : \text{Write to MEM2 (MEM_CS = 2)}$$

여기서 상기 TA 는 임시 어드레스이고, 상기 N_{EP} 는 부호화 패킷의 크기이고, 상기 S 는 시스틱메틱 심볼들이고, 상기 $P0/P0'$ 은 제1 패리티 심볼들이고, 상기 $P1/P1'$ 은 제2 패리티 심볼들이고, 상기 WA 는 최종적으로 생성된 저장 어드레스이고, 상기 MEM_CS 는 메모리 선택 신호이고, 상기 $MEM0, 1, 2$ 는 각각 제1, 제2, 제3 메모리임.

【청구항 8】

제 5 항에 있어서, 상기 부호화 패킷들의 크기가 2328비트인 경우 상기 저장 어드레스들은, 하기의 <수학식 10>에 의해 생성되는 것을 특징으로 하는 상기 방법.

i) $0 < TA < N_{EP}$

입력 심볼 = S $WA = TA$: Write to MEM0 (MEM_CS = 0)

ii) $N_{EP} < TA < 3 \cdot N_{EP}$

if $((TA - N_{EP}) \bmod 2 == 0)$

입력 심볼 = P0 $WA = (TA - N_{EP})/2$: Write to MEM1 (MEM_CS = 1)

else

입력 심볼 = P0' $WA = (TA - N_{EP})/2$: Write to MEM2 (MEM_CS = 2)

iii) $TA > 3 \cdot N_{EP}$

if $((TA - 3 \cdot N_{EP}) \bmod 2 == 1)$

입력 심볼 = P1' $WA = (TA - 3 \cdot N_{EP})/2 + 2328$: Write to MEM1 (MEM_CS = 1)

else

【수학식 10】 입력 심볼 = P1, $WA = (TA - 3 \cdot N_{EP})/2 + 2328$: Write to MEM2 (MEM_CS = 2)

여기서 상기 TA 는 임시 어드레스이고, 상기 N_{EP} 는 부호화 패킷의 크기이고, 상기 S 는 시스티메틱 심볼들이고, 상기 $P0/P0'$ 은 제1 패리티 심볼들이고, 상기 $P1/P1'$ 은 제2 패리티 심볼들이고, 상기 WA 는 최종적으로 생성된 저장 어드레스이고, 상기 MEM_CS 는 메모리 선택 신호이고, 상기 $MEM0, 1, 2$ 는 각각 제1, 제2, 제3 메모리임.

【청구항 9】

제 5 항에 있어서, 상기 부호화 패킷들의 크기가 3096 또는 3864비트인 경우 상기 저장 어드레스들은, 하기의 <수학식 11>에 의해 생성되는 것을 특징으로 하는 상기 방법.

i) $0 < TA < N_{EP}$

입력 심볼 = S, $WA = TA$: Write to MEM0 ($RAM_CS = 0$)

ii) $TA > N_{EP}$

if $((TA - N_{EP}) \bmod 2 == 0)$

입력 심볼 = P0, $WA = (TA - N_{EP})/2$: Write to MEM1 ($RAM_CS = 1$)

else

【수학식 11】 입력 심볼 = P0' $WA = (TA - N_{EP})/2$: Write to MEM2 ($RAM_CS = 2$)

여기서 상기 TA 는 임시 어드레스이고, 상기 N_{EP} 는 부호화 패킷의 크기이고, 상기 S 는 시스티메틱 심볼들이고, 상기 $P0/P0'$ 은 제1 패리티 심볼들이고, 상기 $P1/P1'$ 은 제2 패리티 심볼들이고, 상기 WA 는 최종적으로 생성된 저장 어드레스이고, 상기 MEM_CS 는 메모리 선택 신호이고, 상기 $MEM0, 1, 2$ 는 각각 제1, 제2, 제3 메모리임.

【청구항 10】

제 1 항에 있어서, 상기 변조방식은 3차(3-order) 이상의 변조레벨을 가지는 다중레벨 변조인 것을 특징으로 하는 상기 방법.

【청구항 11】

다중레벨 복조를 지원하는 통신시스템에서 송신기에 의해 부호화된 후 서플링되어 송신된 데이터를 수신하는 장치에 있어서,

수신 데이터를 소정 변조방식에 따라 복조하여 복수의 부호심볼들로 이루어진 변조심볼들을 출력하는 복조부와,

상기 서플링에 대응하는 디서플링 순서에 따라 상기 부호심볼들을 저장하는 저장부와,
상기 저장된 부호심볼들을 읽어내어 소정 부호율에 따라 복호하여 부호화 패킷들을 출력하는 복호기를 포함하는 것을 특징으로 하는 상기 장치.

【청구항 12】

제 11 항에 있어서, 상기 저장부는, 상기 변조방식에 따라 하기의 <수학식 12>에 의해 생성된 저장 어드레스들에 해당하는 메모리 영역들에 상기 부호심볼들을 저장하는 것을 특징으로 하는 상기 장치.

$$\text{i) QPSK: } WA = (SA + 2*mi + ci) \bmod P_{MAX}$$

$$\text{ii) 8-PSK: if } ci = 0, WA = (SA + mi + 2*N_{SP}/3) \bmod P_{MAX}$$

$$\text{else, } WA = (SA + 2*mi + ci - 1) \bmod P_{MAX}$$

$$\text{iii) 16-QAM: if } ci \bmod 2 = 0, WA = (SA + 2*mi + ci/2 + N_{SP}/2) \bmod P_{MAX}$$

$$\text{else, } WA = (SA + 2*mi + ci / 2) \bmod P_{MAX}$$

【수학식 12】

여기서 상기 WA 는 저장 어드레스이고, 상기 SA 는 수신 데이터의 인덱스에 따른 시작 어드레스이고, 상기 mi 는 변조심볼 인덱스이고, 상기 ci 는 부호심볼 인덱스이고, 상기 N_{SP} 는 수신 데이터의 길이이고, 상기 P_{MAX} 는 부호화 패킷의 크기에 따라 수신 데이터에 포함된 하나의 부호어 시퀀스를 나타내는 최대 비트 인덱스이고, 상기 \bmod 는 모듈로-연산을 의미함.

【청구항 13】

제 11 항에 있어서, 상기 저장부는,

상기 부호심볼들 중 상대적으로 중요도가 높은 시스티메틱 심볼들을 저장하는 제1 메모리와,

상기 제1 메모리와 물리적으로 분리되어 있으며 상기 부호심볼들 중 상대적으로 중요도가 낮은 패리티 심볼들을 저장하는 적어도 하나의 제2 메모리와,

상기 부호심볼들이 출력될 때마다, 상기 제1 및 제2 메모리들 중 하나를 선택하는 메모리 선택신호와, 상기 서플링에 대응하는 디서플링 순서에 따라 상기 선택된 메모리에 상기 부호심볼을 저장할 메모리 영역을 지시하는 저장 어드레스를 발생하는 저장 어드레스 발생기를 포함하는 것을 특징으로 하는 상기 장치.

【청구항 14】

제 13 항에 있어서, 상기 저장 어드레스 발생기는,

상기 분리된 메모리들을 고려하지 않고 상기 디서플링 순서에 따라 임시 어드레스를 생성하는 임시 어드레스 발생기와,

상기 분리된 메모리들을 고려하여 상기 임시 어드레스를 가지고 상기 메모리 선택신호와 상기 저장 어드레스를 최종적으로 생성하는 최종 어드레스 발생기를 포함하는 것을 특징으로 하는 상기 장치.

【청구항 15】

제 11 항에 있어서, 상기 저장부는,

상기 부호심볼들 중 상대적으로 중요도가 높은 시스티메틱 심볼들을 저장하는 제1 메모리와,

상기 제1 메모리와 물리적으로 분리되어 있으며 상기 부호심볼들 중 상대적으로 중요도가 낮은 제1 및 제2 패리티 심볼들을 각각 저장하는 제2 및 제3 메모리와,

상기 부호심볼들이 출력될 때마다, 상기 분리된 메모리들을 고려하지 않고 상기 디서플링 순서에 따라 임시 어드레스를 생성하는 임시 어드레스 발생기와,

상기 제1 및 제2 메모리들 중 하나를 선택하는 메모리 선택신호와, 상기 셔플링에 대응하는 디서플링 순서에 따라 상기 선택된 메모리에 상기 부호심볼을 저장할 메모리 영역을 지시하는 저장 어드레스를 최종적으로 생성하는 최종 어드레스 발생기를 포함하는 것을 특징으로 하는 상기 장치.

【청구항 16】

제 15 항에 있어서, 상기 임시 어드레스들은, 상기 변조방식에 따라 하기의 <수학식 13>에 의해 생성되는 것을 특징으로 하는 상기 장치.

$$\text{i) QPSK: } TA = (SA + 2*mi + ci) \bmod P_{MAX}$$

$$\text{ii) 8-PSK: if } ci = 0, TA = (SA + mi + 2*N_{SP}/3) \bmod P_{MAX}$$

$$\text{else, } TA = (SA + 2*mi + ci - 1) \bmod P_{MAX}$$

$$\text{iii) 16-QAM: if } ci \bmod 2 = 0, TA = (SA + 2*mi + ci/2 + N_{SP}/2) \bmod P_{MAX}$$

$$\text{else, } TA = (SA + 2*mi + ci /2) \bmod P_{MAX}$$

【수학식 13】

여기서 상기 TA 는 임시 어드레스이고, 상기 SA 는 수신 데이터의 인덱스에 따른 시작 어드레스이고, 상기 mi 는 변조심볼 인덱스이고, 상기 ci 는 부호심볼 인덱스이고, 상기 N_{SP} 는

수신 데이터의 길이이고, 상기 P_{MAX} 는 부호화 패킷의 크기에 따라 수신 데이터에 포함된 하나의 부호어 시퀀스를 나타내는 최대 비트 인덱스이고, 상기 mod 는 모듈로-연산을 의미함.

【청구항 17】

제 15 항에 있어서, 상기 부호화 패킷들의 크기가 408 또는 792 또는 1560비트인 경우 상기 저장 어드레스들은, 하기의 <수학식 14>에 의해 생성되는 것을 특징으로 하는 상기 장치

$$i) 0 < TA < N_{EP}$$

$$\text{입력 심볼} = S, \quad WA = TA : \text{Write to MEM0 (MEM_CS = 0)}$$

$$ii) N_{EP} < TA < 3 \cdot N_{EP}$$

$$\text{입력 심볼} = P0 \text{ or } P0' \quad WA = TA - N_{EP} : \text{Write to MEM1 (MEM_CS = 1)}$$

$$iii) 3 \cdot N_{EP} < TA < 5 \cdot N_{EP}$$

$$\text{【수학식 14】} \quad \text{입력 심볼} = P1 \text{ or } P1' \quad WA = TA - 3 \cdot N_{EP} : \text{Write to MEM2 (MEM_CS = 2)}$$

여기서 상기 S 는 시스티메틱 심볼들이고, 상기 $P0/P0'$ 은 제1 패리티 심볼들이고, 상기 $P1/P1'$ 은 제2 패리티 심볼들이고, 상기 WA 는 최종적으로 생성된 저장 어드레스이고, 상기 MEM_CS 는 메모리 선택 신호이고, 상기 $MEM0, 1, 2$ 는 각각 제1, 제2, 제3 메모리임.

【청구항 18】

제 15 항에 있어서, 상기 부호화 패킷들의 크기가 2328비트인 경우 상기 저장 어드레스들은, 하기의 <수학식 15>에 의해 생성되는 것을 특징으로 하는 상기 장치.

i) $0 < TA < N_{EP}$

입력 심볼 = S $WA = TA$: Write to MEM0 (MEM_CS = 0)

ii) $N_{EP} < TA < 3 \cdot N_{EP}$

if $((TA - N_{EP}) \bmod 2 == 0)$

입력 심볼 = P0 $WA = (TA - N_{EP})/2$: Write to MEM1 (MEM_CS = 1)

else

입력 심볼 = P0' $WA = (TA - N_{EP})/2$: Write to MEM2 (MEM_CS = 2)

iii) $TA > 3 \cdot N_{EP}$

if $((TA - 3 \cdot N_{EP}) \bmod 2 == 1)$

입력 심볼 = P1' $WA = (TA - 3 \cdot N_{EP})/2 + 2328$: Write to MEM1 (MEM_CS = 1)

else

【수학식 15】 입력 심볼 = P1, $WA = (TA - 3 \cdot N_{EP})/2 + 2328$: Write to MEM2 (MEM_CS = 2)

여기서 상기 TA 는 임시 어드레스이고, 상기 N_{EP} 는 부호화 패킷의 크기이고, 상기 S 는 시스티메틱 심볼들이고, 상기 $P0/P0'$ 은 제1 패리티 심볼들이고, 상기 $P1/P1'$ 은 제2 패리티 심볼들이고, 상기 WA 는 최종적으로 생성된 저장 어드레스이고, 상기 MEM_CS 는 메모리 선택 신호이고, 상기 $MEM0, 1, 2$ 는 각각 제1, 제2, 제3 메모리임.

【청구항 19】

제 15 항에 있어서, 상기 부호화 패킷들의 크기가 3096 또는 3864비트인 경우 상기 저장 어드레스들은, 하기의 <수학식 16>에 의해 생성되는 것을 특징으로 하는 상기 장치.

i) $0 < TA < N_{EP}$

입력 심볼 = S, $WA = TA$: Write to MEM0 ($RAM_CS = 0$)

ii) $TA > N_{EP}$

if $((TA - N_{EP}) \bmod 2 == 0)$

입력 심볼 = P0, $WA = (TA - N_{EP})/2$: Write to MEM1 ($RAM_CS = 1$)

else

【수학식 16】 입력 심볼 = P0' $WA = (TA - N_{EP})/2$: Write to MEM2 ($RAM_CS = 2$)

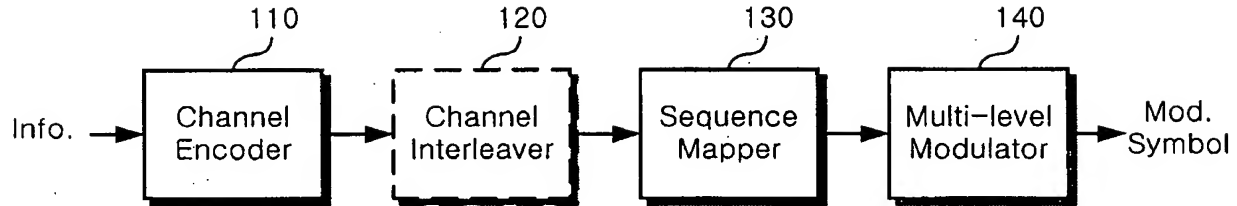
여기서 상기 TA 는 임시 어드레스이고, 상기 N_{EP} 는 부호화 패킷의 크기이고, 상기 S 는 시스티메틱 심볼들이고, 상기 $P0/P0'$ 은 제1 패리티 심볼들이고, 상기 $P1/P1'$ 은 제2 패리티 심볼들이고, 상기 WA 는 최종적으로 생성된 저장 어드레스이고, 상기 MEM_CS 는 메모리 선택 신호이고, 상기 $MEM0, 1, 2$ 는 각각 제1, 제2, 제3 메모리임.

【청구항 20】

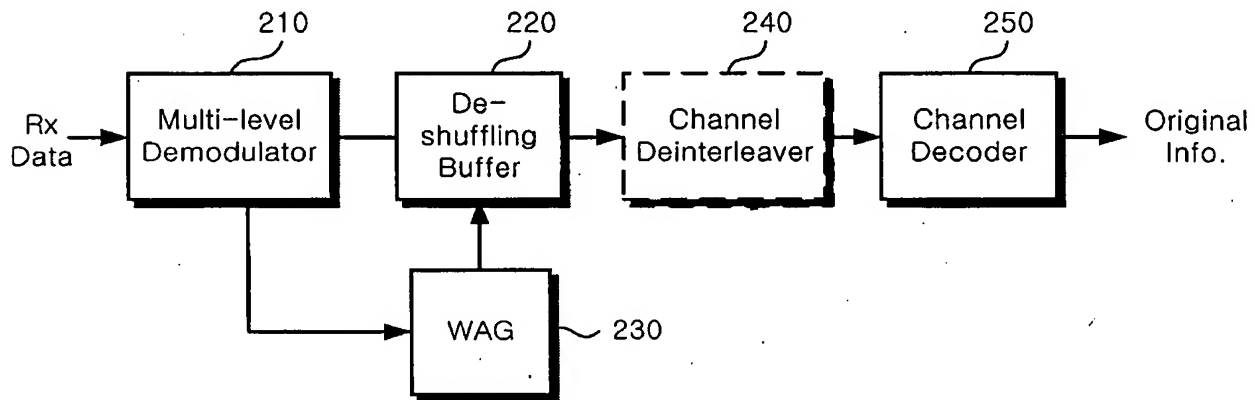
제 11 항에 있어서, 상기 변조방식은 3차(3-order) 이상의 변조레벨을 가지는 다중레벨 변조인 것을 특징으로 하는 상기 장치.

【도면】

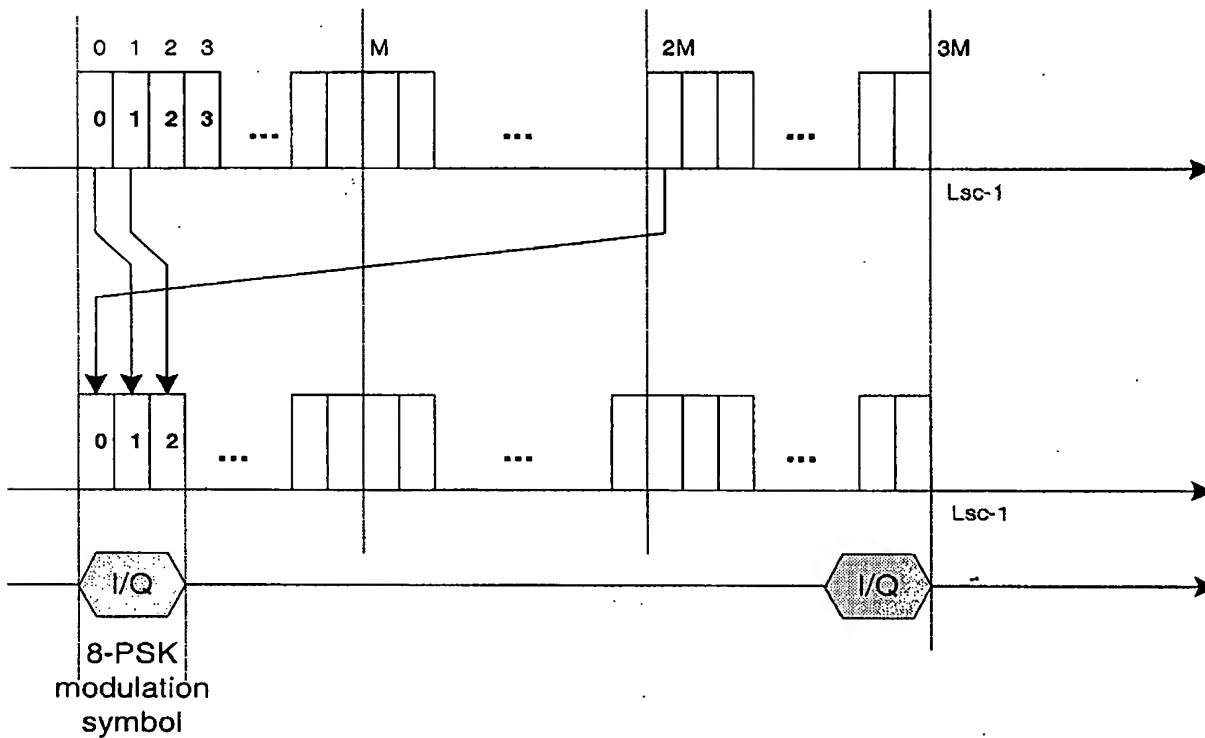
【도 1】



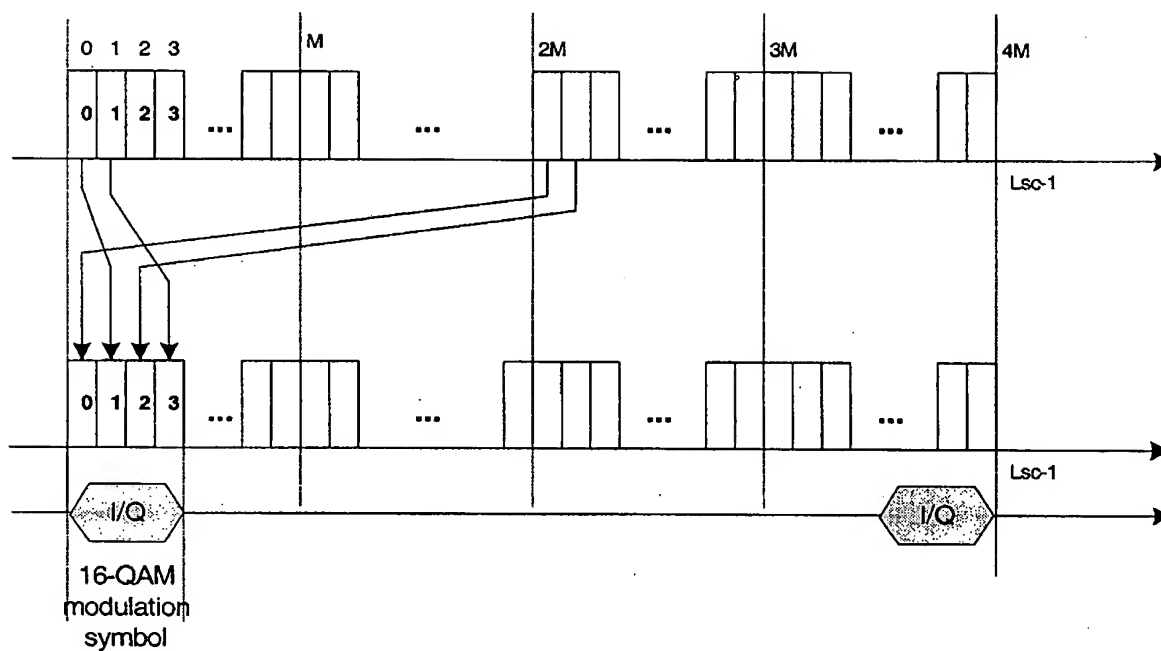
【도 2】



【도 3】



【도 4】



【표 5】

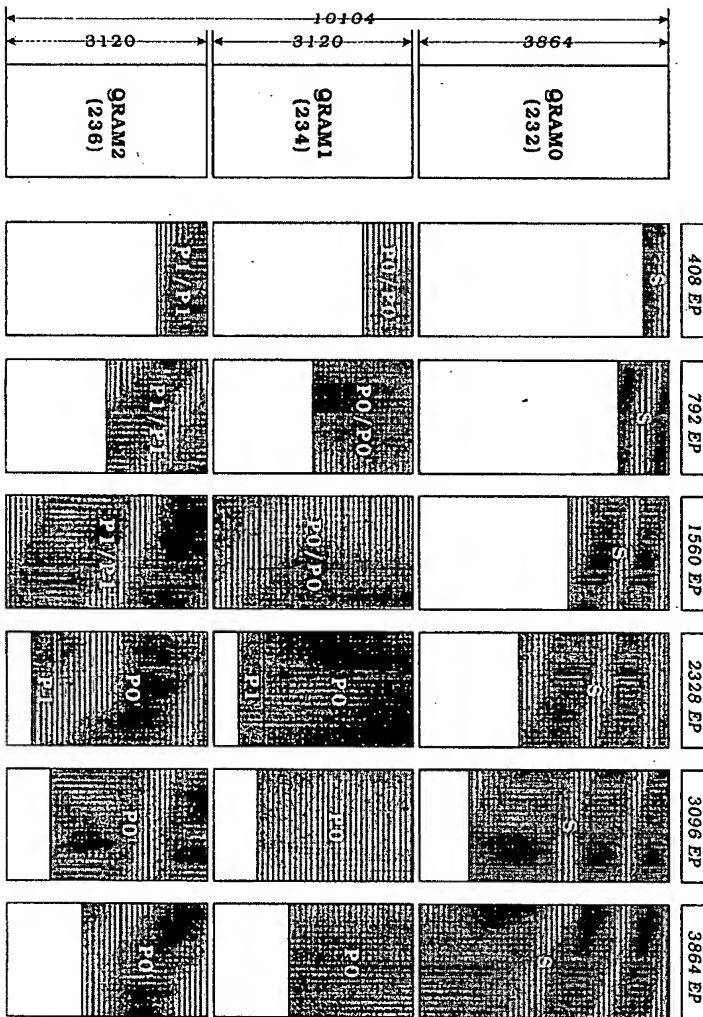
EP Size	Possible Kinds of Code Symbols in Each EP Size	Code Rate
408		0.2000
792		0.2000
1560		0.2000
2328		0.2985
3096		0.3969
3864		0.4954

Systematic

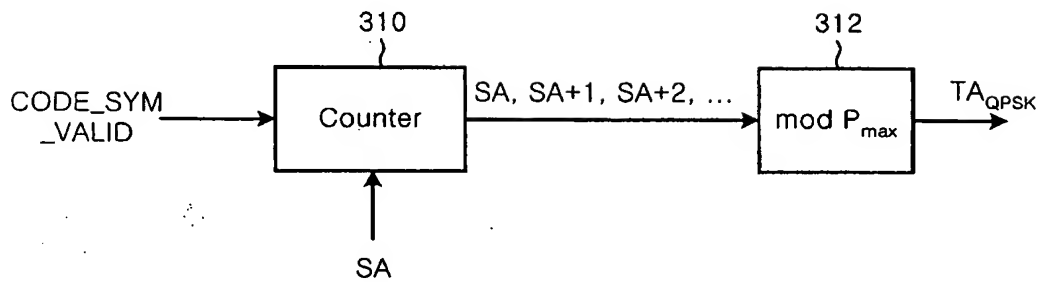
Parity0 / Parity0'

Parity1 / Parity1'

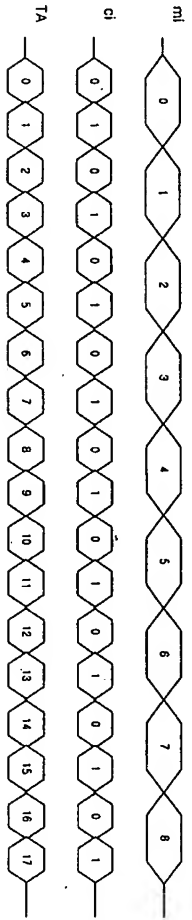
【도 6】



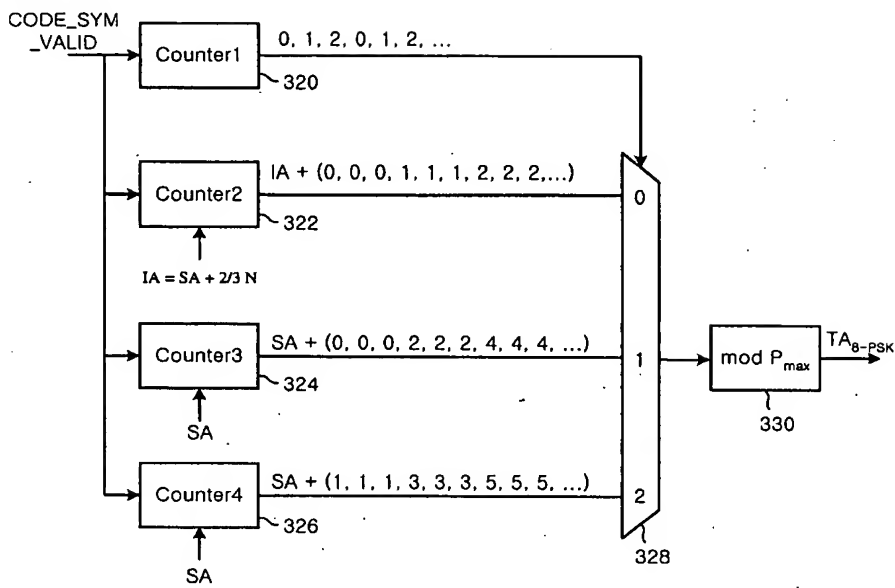
【도 7】



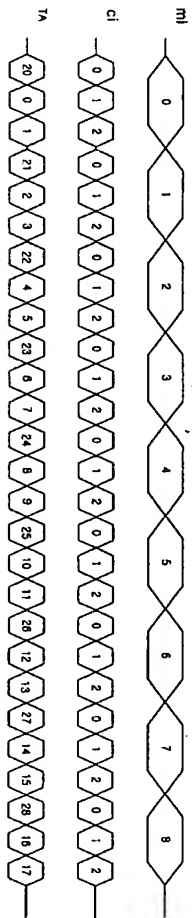
【도 8】



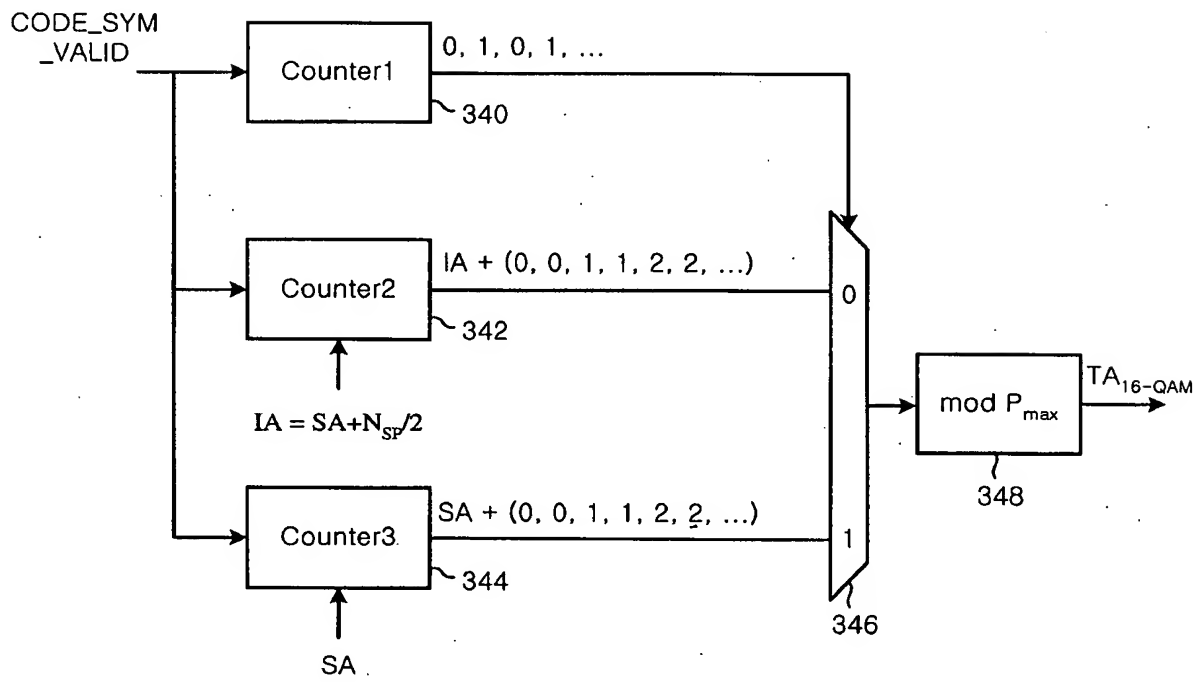
【도 9】



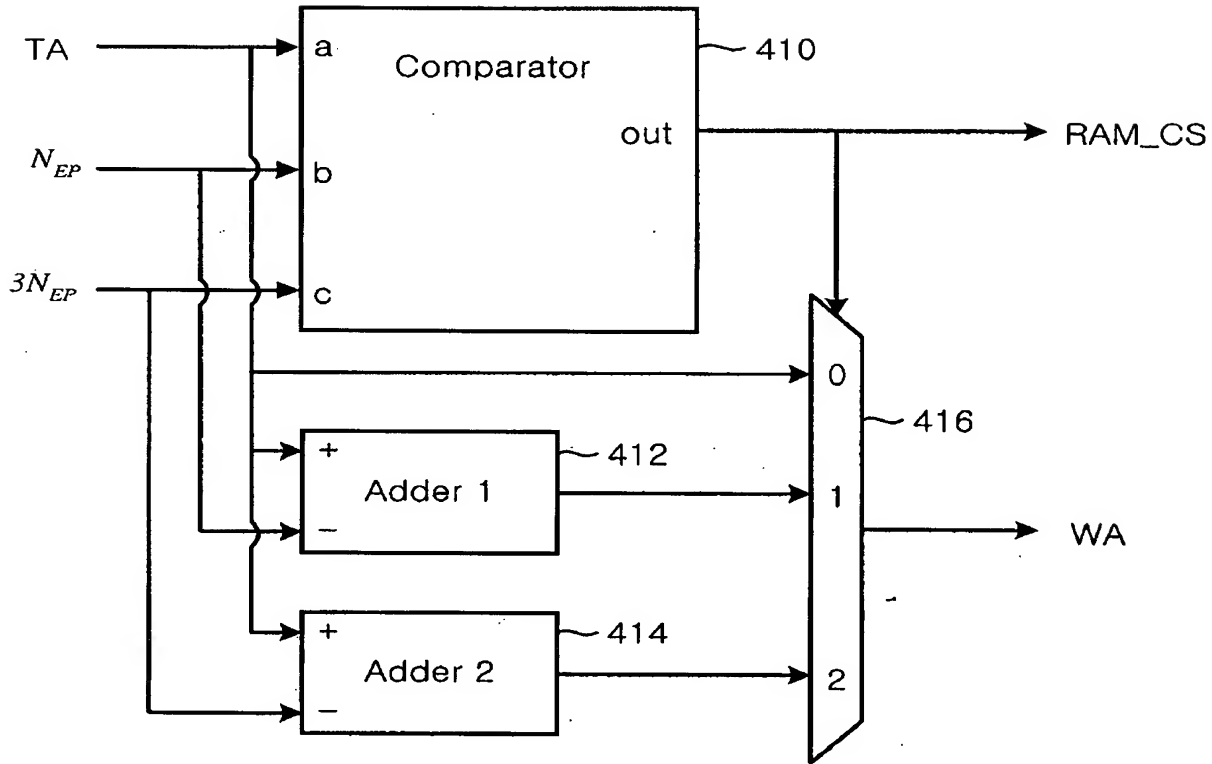
【도 10】



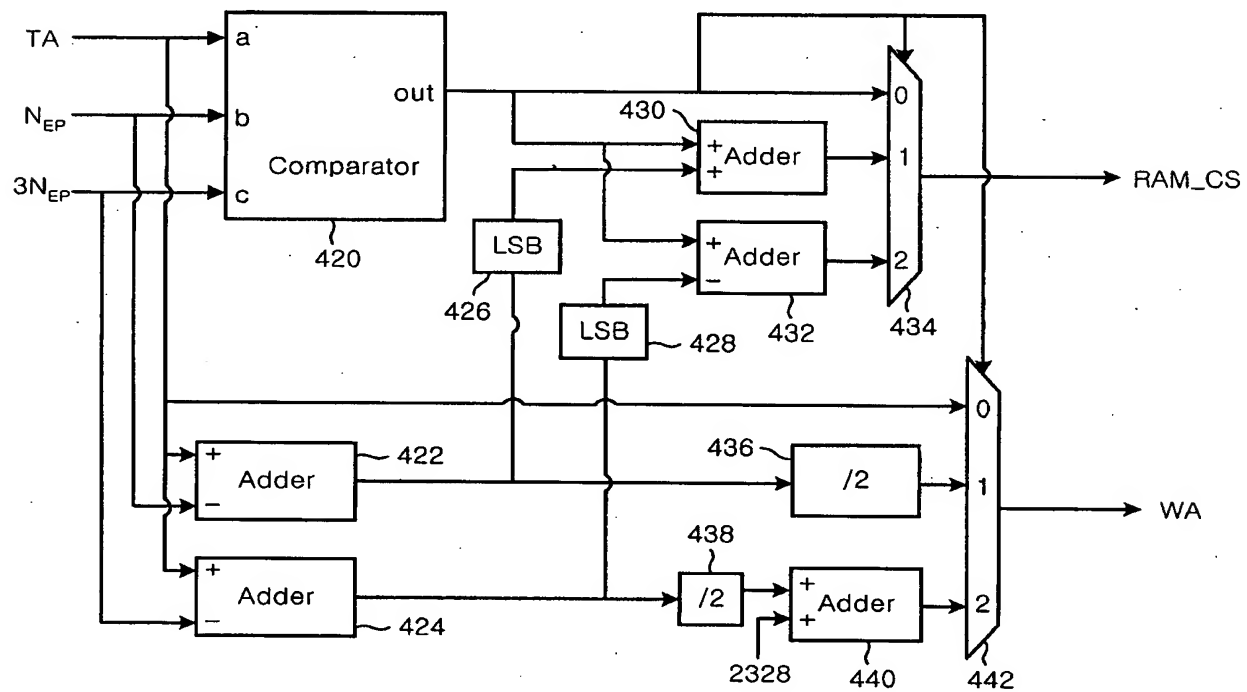
【도 11】



【도 13】



【도 14】

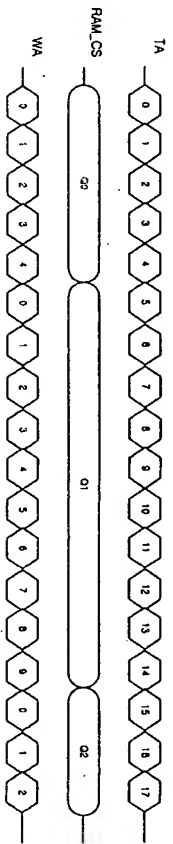




1020020059419

출력 일자: 2003/10/1

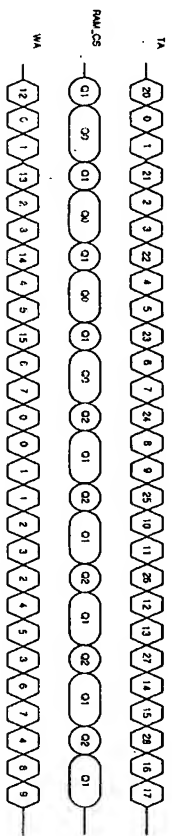
【도 15】





출력 일자: 2003/10/1

【도 16】



【도 17】

